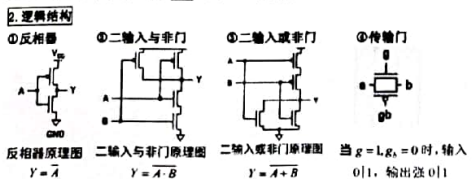


第一章：引论

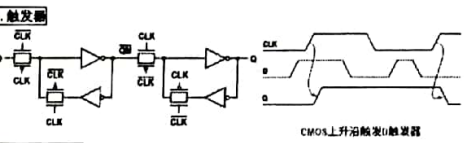
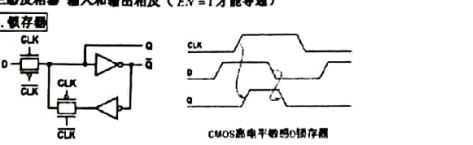
1947年，第一个点接触型晶体管产生，肖克莱；1958年，双极晶体管；1959年，硅平面工艺 摩尔定律；晶体管数量和半导体工艺节点倍增。

1. CMOS 逻辑门：对于 PMOS，G端为 0 端，对于 NMOS，G端为 1 端。NMOS：导通时，输入 0，得到输出 1，得到到 1。PMOS：导通时，输入 1，得到到 1；输入 0，得到到 0。



反相器原理图 Y=A 二输入与非门原理图 Y=A*B 二输入或非门原理图 Y=A+B 传输门原理图 当 P=L, G=0 时，输入 0 时，输出为 0 1 1，输出为 0 1

表达式：与非：NMOS 串联，PMOS 并联；或非：NMOS 并联，PMOS 串联；三态反相器 输入和输出相反 (EN=1 才能导通) 导通时，输入与输出相同



7. 版图设计规则 1. 1/2 规则：λ 为特征尺寸的一半，特征尺寸是晶体管沟道的最小长度。2. 间距设计规则：以微米为单位规定的设计规则。3. 设计验证：功能仿真，结构级模型仿真，逻辑级代码仿真，门级网表仿真，晶体管级网表仿真；形式验证，逻辑等效性检查；物理验证，设计规则检查，电器规则检查，版图原理图对比，版图寄生参数抽取

第二章：MOS 晶体管原理

MOSFET：金属氧化物半导体场效应晶体管 Metal-Oxide-Semiconductor Field Effect Transistor

长沟道模型：晶体管沟道足够长，横向电场较弱，交叠晶体管电流为 0。栅电容：C_g=C_g0+HL；扩散电容：源漏扩散区和体之间的 PN 结电容

1. 晶体管非线性效应：1. 电场效应：速度饱和和 A_0 饱和，载流子漂移速度，达到饱和速度；部分速度饱和和状态晶体管，用 α 定律表示；截至区 0，线性区线性增大，饱和区和速度饱和和指数 α[1,2] 确定；速度饱和和，晶体管完全导通时，I_DS 与 V_DS 呈线性关系；迁移率退化，高 V_DS 下，载流子与氧化层界面发生碰撞，载流子速度降低；2. 沟道长度调制：漏极和体形成耗尽区，使有效沟道长度缩短，较短的沟道长度导致较大电流；3. 阈值电压效应：体效应：使得沟道反型时所需电荷量增加，V_T 随源极电压增加而增大，随体电压增加而减小；4. 漏致势垒降低：V_T 随漏极电压增大而减小；短沟道效应：片沟道长度增加而增加；5. 漏阻，亚阈值漏流，栅漏流，结栅漏 6. 温度相关性 7. 几何形状相关性

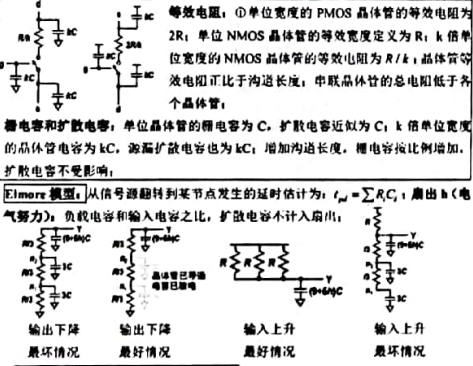
第三章：版图制造工艺

1. 版图设计规则：1. 设计规则：集成电路所用掩膜的设计制备说明和规定，以特征尺寸、间距、覆盖、延伸定义，目的是在尽可能小面积上构建能可靠工作的电路。2. 可制造性设计规则：其需要缩放的 λ 值就能符合尺寸缩小的一下代工艺设计规则。3. 微米设计规则

2. 器件设计规则：1. 间距规则：N 网与相邻 N 型有源区，内部 P 型有源区保持一定间距。2. 晶体管规则：1. 接触规则：金属与硅衬底之间在接触下方放置重掺杂有源区。2. 金属规则：金属厚度越大，宽度和间距则越大；金属越薄，间距规则可能增加；金属层限制最大宽度规则；3. 通孔规则：金属厚度越大，通孔尺寸越大。4. 其他规则：钝化层规则，附加规则，光片槽和密封环 5. 可制造性设计规则 6. 天线效应：等离子体刻蚀工艺可能使金属层过薄或金属层不均匀导致天线效应。7. 层密度规则：没有电流通过时，金属层多金属层与衬底面积之间的最大比例；8. 层密度规则：增加天线二极管面积。7. 层密度规则：对负效应，刻蚀速度对需要移除的材料敏感，图形密度不均匀导致刻蚀过慢或不足；8. 层密度规则：总离子和指定面积范围，有源区，多晶硅，金属最大和最小密度范围。8. 金属窄槽规则：1. 避免金属层，内部缺少应力释放空间，引起局部金属密度过高。2. 金属窄槽规则：要求超宽金属线上留有窄槽，方向按电流方向，释放应力。3. 通孔设计规则：在超宽金属线上按照设计开槽，将其分成并联的多段导线。9. 分辨率增强规则 10. 良品率改善规则

第四章：延时

传播延时：又称最大延时，输入超过 50% 到输出超过 50% 的最长时间；污染延时：又称最小延时，输入超过 50% 到输出超过 50% 的最小时间；上升时间 t_r：从 20% 上升到 80% 所需的时间；下降时间 t_f：边沿速率 t_r=t_r+1，到达时间，逻辑块中各节点翻转的最远时间，分为输入、输出和内部节点；剩余时间：要求到达时间和实际到达时间之差；正斜率时间才满足时序要求；关键路径：限制系统工作速度的逻辑路径；RC 延时模型：采用近似翻转时间的平均电阻和电容来近似非线性晶体管的特性；等效电阻：1. 单位宽度的 PMOS 晶体管的等效电阻为 2R；单位 NMOS 晶体管的等效电阻定义为 R；k 倍单位宽度的 NMOS 晶体管的等效电阻为 R/k；晶体管等效电阻正比于沟道长度，串联晶体管的总电阻低于各个晶体管；栅电容和扩散电容：单位晶体管的栅电容为 C，扩散电容近似为 C；k 倍单位宽度的晶体管电容为 kC，源漏扩散电容也为 kC；增加沟道长度，栅电容按比例增加，扩散电容不受影响；Elmore 模型：从信号源翻转到某节点发生的延时估计为：t_d = Σ R_i C_i；输出 b (电气努力)：负载电容和输入电容之比，扩散电容不计入输出；



输入到节点和输出到输出的公共电阻 线性延时模型：电气努力 b，逻辑努力 g，寄生延时 p，努力延时 f，延时 d=p+gh

1. 寄生延时 (p)：门驱动内部电容所需时间，与门尺寸无关；寄生延时计算：计算输出节点上的扩散电容进行估算；2. 努力延时 f=gh：取决于负载电容和输入电容的比和门的复杂度；分为：1. 电气努力 (g)；2. 逻辑努力 (L)：定义为逻辑门的输入电容和能够提供相同输出电流的反相器的输入电容之比，代表门的复杂度；

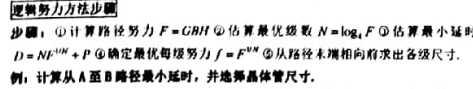
常见门的逻辑努力 (g)：反相器 1，或非门 (2n+1)/3，与非门 (n+2)/3，三态门 2；常见门的寄生延时 (p)：反相器为 1，或非门为 n，或非门为 n，n 输入与与非门寄生延时 t_p = (n^2/2 + 5n/2)RC；输出为 4 的反相器延时为 d=gh+p=1*4+1=5

路径努力：1. 路径逻辑努力 (G)：沿该路径各级逻辑努力之积；2. 路径电气努力 (E)：沿该路径各级电气努力之比；3. 路径努力 (F)：沿该路径各级努力延时之积，无分支结构：F=∏ g_i A_i；4. 路径延时 (D)：努力延时 (DF)+寄生延时 (P)，均为各级延时之和。

N 输入或非门 PMOS 尺寸为 2n

1. 分支努力 (b)：某级所带总电容和该级电容之比；2. 路径分支努力 (B)：各级分支努力 (b) 之积；3. 路径努力 (F)：F=GBH；4. 路径最小延时：若一条路由 N 级，各级承担相同的努力，则该努力 f=F^{1/N}，通常每级努力力为 4 时，路径最快。

此时路径延时达到最小值 D=NF^{1/N}+P；逻辑门尺寸确定：从后向前，f=gh=gC_{in}/C_{out}；逻辑努力方法步骤：1. 计算路径努力 F=GBH；2. 估算最优级数 N=log_4 F；3. 估算最小延时 D=NF^{1/N}+P；4. 确定最佳每级努力 f=F^{1/N}；5. 从路径末端向前求出各级尺寸。



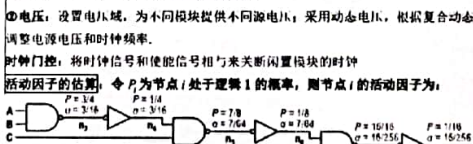
例：计算从 A 至 B 路径最小延时，并选择晶体管尺寸。G=(4/3)*(5/3)*(5/3)=100/27 (公式) B=(3*2)*6 (每级门占该级门总数目的比) H=45/8 (输出电容比输入电容，用中括号注) P=2+3*2*7 (公式) F=GBH=125 各级努力 f=√[125]=5，路径最小延时 D=3*5+7=22 (公式) 电容确定：y=(5/3)*45/5=15，x=(5/3)*(15+15)/5=10

第五章：功耗

瞬态功率：P=I(t)V(t)，能量：E=∫ P(t)dt，平均功率：P=∫ P(t)dt/T；电容充放电存储和释放的能量：E_c=C∫ V(t)dV=CV^2/2；翻转过程的能量变化：从 0 翻转到 1 过程中，存储在电容中的能量并消耗在 NMOS 管中，这 1 翻转过程中没有从电源获取任何能量；从 1 翻转到 0 过程中，PMOS 管导通，电容中能量为 CV_{DD}^2/2，电源释放能量为 CV_{DD}^2，即电源提供的能量一半存储在电容中，一半被 PMOS 消耗；CMOS 电路功耗组成：动态功耗和静态功耗。

1. 动态功耗：1. 翻转功耗：α 逻辑门翻转频率为 f_{clk}，在实践向门 T 内，负载电容充放电总次数为 α f_{clk}，则平均翻转功耗为 P_{avg}=CV_{DD}^2 f_{clk} α；2. 大多逻辑门并不是每个周期翻转，平均翻转功耗为 P_{avg}=α f_{clk} CV_{DD}^2，α 为活动因子，定义为从 0 翻转至 1 的概率 (静态 CMOS 门 α 经验值为 0.1)，也可以用 α 定义节点有效电容；2. 静态功耗：平均工作频率，最低电源电压，优化最小电路总电容，通过对时钟门控降低活动因子，毛刺会增加活动因子。

时钟门控：将时钟信号和使能信号与未关断置位块的时钟活动因子的估计，令 P_i 为节点 i 处于逻辑 1 的概率，则节点 i 的活动因子为：α_i = P_i(1-P_i)；2. 短路过功耗：晶体管翻转过程中，上拉网络和下拉网络同时导通造成的短路功耗，短路功耗较小。



1. 静态功耗：平均工作频率，最低电源电压，优化最小电路总电容，通过对时钟门控降低活动因子，毛刺会增加活动因子。2. 低功耗体系结构：1. 低功耗 (处理器，存储器和专用功能单元) 2. 并行线和流水线 3. 电源管理模式

第六章：互连线

互连线的 π 模型：均勾平导线电阻的电阻为：R=ρL/w=ρL/w，R_L 为薄层电阻；C' = 电容面积 x；互连线对延时的影响：1. 互连线电容增加门的负载；2. 互连线电阻很大；3. 对于 π 模型，无论用多少段，其 Elmore 延时都是 RC/2；4. 互连线延时：互连线电阻和电容随着互连线长度增长而增长，因此延时随长度以平方关系增长；5. 扩散导线有很高的电容和电阻，不能用于互连线。

串扰：1. 电容不能同时改变其两端的电压，因此导线 A 翻转时通过电容耦合使相邻的导线 B 跟随其翻转。2. 对于短导线和较大负载，串扰的影响很小，对于长导线，串扰的影响很大。3. 若导线 A 翻转而 B 不变，将在 B 上引起噪声使其部分翻转。

7. 串扰：串扰性：稳定性，抵御和克服不利条件的能力，工艺偏差，温度范围，电压范围，电流密度，宇宙射线影响。特性：PVT，工艺偏差 (process)，电源偏差 (Voltage)，工作温度 (Temperature)。环境偏差：电源电压偏差 (设计范围 10%) 和温度偏差 (环境温度和功耗导致升温，设计低温 -40°C，高温 85°C)。

工艺偏差：器件和互连线在薄层厚度向尺寸和掺杂浓度偏差，器件由沟道长度，阈值电压等，互连线有交叉和间距等；类型：批次之间，晶圆之间，芯片之间，管芯内部。

偏差模型：均匀分布和正态分布。设计为：工艺和环境偏差模型下的仿真模型，T (典型)，F (快速)，S (慢速) 不同检查点使用相同的设计角模型，应在各个设计角范围确保电路性能。设计为因素：1. NMOS 管速度 2. PMOS 管速度 3. 互连线：电容和电阻 4. 电源电压：T (标准电压) F (高压，上浮 10%) S (低压，下浮 10%) 5. 温度：T (室温 25)，F (低温 -40)，S (高温 85)。

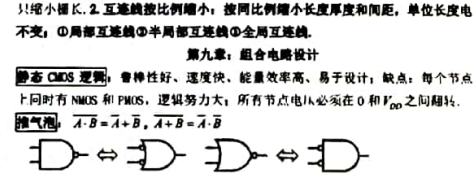
可靠性：1. 电迁移：引起集成电路永久性损耗 (栅极损耗，互连线损耗，过电压失效，门控)；2. 软错误：软错误，引起系统崩溃和数据丢失。

可靠性：衬底、阱、扩散区形成的寄生双极晶体管导通并形成正反馈，导致 P_{VDD} 和 GND 之间形成通路而使芯片严重烧毁。保护环：作用：防止闩锁效应，隔离噪声。类型：多保护环和少子保护环。

结构：单层保护环和双层保护环。栅比缩小：1. 晶体管按比例缩小；2. 晶体管按比例缩小定律，器件关键参数按因子 S 缩小性能将得到改善；3. 栅电场缩小，电压和距离等比例减小时，电场仍保持不变；4. 栅电压缩小，缩小器件尺寸但不降低电压，电场将增强；5. 栅电压缩小，只缩小栅长；6. 互连线按比例缩小：按同比例缩小长度厚度和间距，单位长度电容不变；7. 局部互连线的半周互连线的全局互连线。

第九章：组合电路设计 静态 CMOS 逻辑：串扰性好，速度快，能量效率高，易于设计；缺点：每个节点向上同时有 NMOS 和 PMOS，逻辑努力大；所有节点电压必须在 0 和 V_{DD} 之间翻转。

排气泡：A·B=A+B, A+B=A·B。对容门：一个输入不另一个输入关键。低侧驱动：优化上升输出驱动；高侧驱动：优化下降输出驱动。侧门逻辑努力：输入电容与具有相同驱动能力的不同侧反向器输入电容之比。上拉跳变逻辑努力 g_u，下拉跳变逻辑努力 g_d。



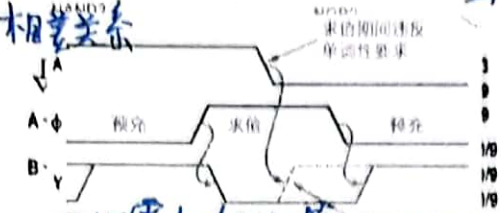
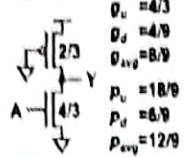
下侧驱动 (Downward)：A 输入，B 输入，输出 Y。PMOS 尺寸 g_u=1, g_d=1。NMOS 尺寸 g_u=1, g_d=2。高侧驱动 (Upward)：A 输入，B 输入，输出 Y。PMOS 尺寸 g_u=1, g_d=2。NMOS 尺寸 g_u=1, g_d=1。低侧驱动 (Downward)：A 输入，B 输入，输出 Y。PMOS 尺寸 g_u=1, g_d=1。NMOS 尺寸 g_u=1, g_d=2。高侧驱动 (Upward)：A 输入，B 输入，输出 Y。PMOS 尺寸 g_u=1, g_d=2。NMOS 尺寸 g_u=1, g_d=1。

P/N 比：最佳比等于上升和下降延时相等时 P/N 比的平方根。厚化比例那个叫阶的尺寸就不能变。

g_u 是 g_d 3 倍大, 上拉寄生延时是下拉 3 倍大

CMOS 逻辑门: 下拉时寄生延时 t_{pd} 和逻辑努力 P_u 正常计算, 上拉值是下拉的 3 倍

都是与单行互补的相量关系

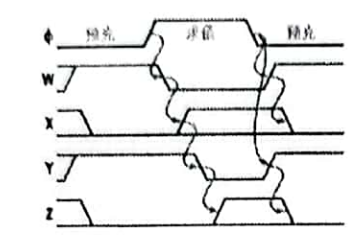
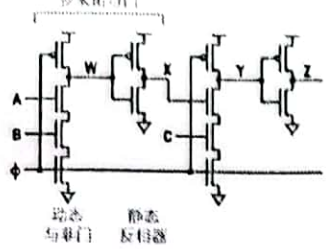


动态门: ①预充, PMOS 导通, 下拉网络应该截止, 输出为高; 若不能保证 NMOS 截止, 需要加额外的控制来避免竞争, 称为有足; ②求值, PMOS 截止, 下拉网络可能导通或截止。

动态有足和无足门的 P 和 g 计算, 反相器的 P 和 g 均按 3 计算。

动态门输入在求值期间必须单调上升, 输出在求值期间单调下降, 不适合作为下一级动态门的输入。

多米诺逻辑



多米诺(Domino)逻辑门

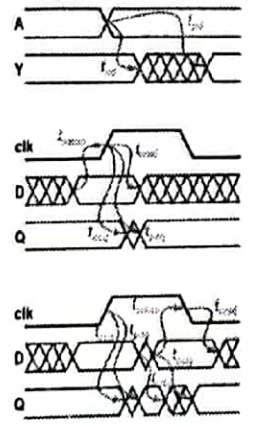
多米诺逻辑电路波形

第十章: 时序电路设计

静态电路: 没有时钟输入的电路。动态电路有时钟输入。

锁存器: 高电平触发; 触发器: 上升沿触发, 使得输入等于输出。

时序参数和符号



符号	意义
t_{pd}	组合逻辑传播延时
t_{cd}	组合逻辑污染延时
t_{pcq}	锁存器/触发器时钟至输出传播延时
t_{ccq}	锁存器/触发器时钟至输出污染延时
t_{pdr}	锁存器输入数据至输出传播延时
t_{cdr}	锁存器输入数据至输出污染延时
t_{setup}	锁存器/触发器建立时间
t_{hold}	锁存器/触发器保持时间

时序图

①触发器最大延时约束: $t_{pd} \leq T_C - (t_{setup} + t_{pcd})$, 最小延时的约束: $t_{cd} \geq t_{hold} - t_{ccq}$
 ②两相位锁存器的最大延时约束: $t_{pd} = t_{pd1} + t_{pd2} \leq T_C - 2t_{pd}$
 最小延时的约束: $t_{cd1}, t_{cd2} \geq t_{hold} - t_{ccq} - t_{nonoverlap}$
 ③脉冲锁存器最大延时约束: $t_{pd} \leq T_C - \max(t_{pd1}, t_{pd2} + t_{setup} - t_{pw})$
 最小延时的约束: $t_{cd} \geq t_{hold} + t_{pw} - t_{ccq}$
 ④两相位锁存器时间借用最大值: $t_{borrow} \leq T_C / 2 - (t_{setup} + t_{nonoverlap})$
 ⑤时钟偏斜与触发器的最大延时约束: $t_{pd} \leq T_C - (t_{pd} + t_{setup} + t_{skew})$
 时钟偏斜与触发器的最小延时约束: $t_{cd} \geq t_{hold} - t_{ccq} + t_{skew}$
 ⑥时钟偏斜与透明锁存器: $t_{borrow} \leq T_C / 2 - (t_{setup} + t_{mono} + t_{skew})$
 $t_{pd} \leq T_C - 2t_{pd}$, $t_{cd1}, t_{cd2} \geq t_{hold} - t_{ccq} - t_{nonoverlap} + t_{skew}$
 ⑦时钟偏斜和脉冲锁存器: $t_{borrow} \leq t_{pw} - (t_{setup} + t_{skew})$
 $t_{pd} \leq T_C - \max(t_{pd1}, t_{pd2} + t_{setup} - t_{pw} + t_{skew})$, $t_{cd} \geq t_{hold} + t_{pw} + t_{skew} - t_{ccq}$

同步器公式: $P(failure) = N \frac{T_0}{T_C} e^{-\frac{(T_C - t_{setup})}{T_0}}$, $MTBF = \frac{1}{P(failure)} = \frac{T_C e^{\frac{(T_C - t_{setup})}{T_0}}}{NT_0}$

第十一章: 数据通路子系统 $N = MHz$

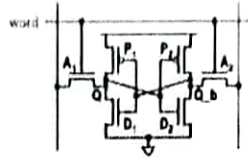
加减法: 半加器、全加器的逻辑、进位产生和传播逻辑 (PG)、CPA 的主要类型 (RCA、CLA、PPA)、CSA、多输入加法、减法 基本运算: 1/0 检测、数值比较器、计数器、线性反馈移位寄存器、布尔运算逻辑, 乘法: 无符号、有符号乘法的基本过程

半加器: $S = A \oplus B, C_{out} = A \cdot B$
 全加器: $S = A \oplus B \oplus C, C_{out} = AB + AC + BC = MAJ(A, B, C)$

第十二章: 阵列子系统

存储器的类型、SRAM 六管单元的结构、DRAM 的工作原理、ROM 和 PLA 电路分析与设计

存储器类型: 随机存取存储器 (RAM, ROM), 串行存取存储器 (SAM), 内容寻址存储器 (CAM)



$D_{1,2}$ 驱动, $A_{1,2}$ 存取 ①操作过程: 先将一对位线预充至高电平并浮空, 然后升高字线的电压, 其中一条线被下拉, 读出数据。②读稳定性约束条件: D_1 必须比 A_2 强, 二者尺寸必须使 Q 电平保持在 P_1/D_2 反相器翻转阈值之下。

DRAM 工作原理: 1 管 DRAM 单元由一个晶体管和一个电容组成, 电容充满电荷为 1, 无电荷为 0, 行选择信号和列选择信号均为高时单元被选中, 读和写操作时, 行选择信号均为高, 存取是电荷在电容中的转移; 存储内容作为电荷存储在电容上; 单元必须被周期性读出并刷新, 使其存储内容不会因为电荷泄露而消失。

第十三章: 专用子系统

封装作用: ①提供芯片和电路板之间的信号和电源连接而且几乎没有延时和失真 ②提供芯片和电路板之间的机械连接 ③散热 ④保护芯片 ⑤制造和测试费用降低。

时钟偏斜: 一对物理标称时钟和实际的时间间隔之间的差别。偏斜来源: ①系统偏斜 ②随机偏斜 ③漂移 ④抖动

时钟系统的结构: ①时钟生成单元: 调整全局时钟频率或相位, 包括锁相环 (PLL) 和延时锁定环 (DLL) ②时钟分布网络: 将时钟分布到整个芯片上, 并使时钟偏斜最小 ③局部时钟门控: 沿短导线将物理时钟驱动至一组控制元件中。

第十四章: 设计方法学和工具

一般设计化流程: 1. 前端: ①产品需求 ②行为/功能规格说明 ③行为综合 2. 后端: ④结构规格说明 ⑤物理综合 ⑥物理规格说明 ⑦至 CMOS 制造厂。

标准单元布局布线设计流程: 网表- (库描述) 布局-DEF- (工艺约束) 时钟树综合-布线-DEF- (工艺参数) 寄生参数提取-ESPF- (库 SDF) 时序分析-噪声和可靠性分析-提交制造商数据库。时序驱动布局设计流程: (库 LEF) 布局- (工艺约束 DEF) 布线引擎- (工艺属性、连线电容和电阻) 寄生参数提取- (库 SDF) 时序分析-最终检查。混合信号后定制设计流程: 原理图或网表-电器规则检查-电路仿真-版图构建-电路提取-版图原理图对比-寄生参数提取-原理图反标-重新仿真-设计规则检查-可靠性检查-芯片或模块完成。

第十五章: 测试、调试和验证

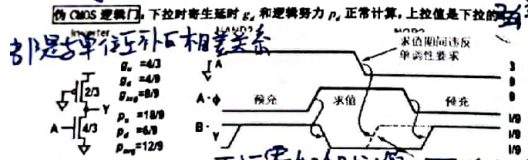
功能等价性: ①行为规格说明 ②RTL 规格说明 ③结构规格说明 ④物理规格说明 ⑤形式验证, 测试向量等价性 ⑥时序分析, 噪声分析 ⑦版图原理图对比, 功耗分析, 设计规则检查, 电器规则检查, 寄生参数提取。

测试向量: 应用到输入端的一组模式及期望输出的结果; 应该是足够大以捕获所有逻辑错误和缺陷; 足够小保持合理的测试时间和测试成本; 定向向量覆盖最可能出错的极端情形; 随机向量检测比较难以觉察的错误;

测试平台: 一段硬件描述语言代码; 作为一个外块放在待测试模块外围; 加载输入测试向量到待测模块上; 检查输出和期望结果是否一致。

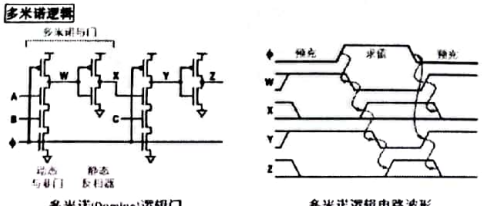
扫描测试: 扫描测试时序, 并行扫描, 扫描触发器

g是g₂三倍大 上拉寄生延时是下拉3倍大



动态门: 下拉寄生延时 t_{pd} 和逻辑努力 P , 正常计算, 上拉值是下拉的3倍
 动态门: 下拉寄生延时 t_{pd} 和逻辑努力 P , 正常计算, 上拉值是下拉的3倍
 动态门: 下拉寄生延时 t_{pd} 和逻辑努力 P , 正常计算, 上拉值是下拉的3倍

动态门: 下拉寄生延时 t_{pd} 和逻辑努力 P , 正常计算, 上拉值是下拉的3倍
 动态门: 下拉寄生延时 t_{pd} 和逻辑努力 P , 正常计算, 上拉值是下拉的3倍



多米诺逻辑门

第十章: 时序电路设计

静态电路: 没有时钟输入, 动态电路有时钟输入

寄存器: 高电平触发; 触发器: 上升沿触发, 使得输入等于输出

时序参数和符号

符号	意义
t_{pd}	组合逻辑传播延时
t_{cd}	组合逻辑污染延时
t_{setup}	寄存器/触发器时钟至输出传播延时
t_{hold}	寄存器/触发器时钟至输出污染延时
t_{delay}	寄存器输入数据至输出传播延时
t_{setup}	寄存器输入数据至输出污染延时
t_{setup}	寄存器/触发器建立时间
t_{hold}	寄存器/触发器保持时间

时序图

- ① 触发器最大延时的约束: $t_{pd} \leq T_c - (t_{setup} + t_{pd})$, 最小延时的约束: $t_{pd} \geq t_{hold} - t_{ov}$
- ② 两相位寄存器的最大延时的约束: $t_{pd} = t_{pd1} + t_{pd2} \leq T_c - 2t_{pd}$
- ③ 最小延时的约束: $t_{pd1}, t_{pd2} \geq t_{hold} - t_{ov} - t_{margin}$
- ④ 脉冲寄存器最大延时的约束: $t_{pd} \leq T_c - \max(t_{pd1}, t_{pd2} + t_{setup} - t_{pd})$
- ⑤ 最小延时的约束: $t_{pd} \geq t_{hold} + t_{pd} - t_{ov}$
- ⑥ 两相位寄存器时间借用最大值: $t_{borrow} \leq T_c / 2 - (t_{setup} + t_{margin})$
- ⑦ 时钟偏斜与触发器的最大延时的约束: $t_{pd} \leq T_c - (t_{pd1} + t_{setup} + t_{delay})$
- ⑧ 时钟偏斜与触发器的最小延时的约束: $t_{pd} \geq t_{hold} - t_{ov} + t_{delay}$
- ⑨ 时钟偏斜与透明寄存器: $t_{borrow} \leq T_c / 2 - (t_{setup} + t_{margin} + t_{delay})$
- ⑩ 时钟偏斜和脉冲寄存器: $t_{borrow} \leq t_{pd} - (t_{setup} + t_{delay})$
- ⑪ 时钟偏斜和透明寄存器: $t_{pd} \leq T_c - 2t_{pd1} + t_{pd2} \geq t_{hold} - t_{ov} - t_{margin} + t_{delay}$
- ⑫ 时钟偏斜和脉冲寄存器: $t_{borrow} \leq t_{pd} - (t_{setup} + t_{delay})$
- ⑬ 时钟偏斜和透明寄存器: $t_{pd} \leq T_c - \max(t_{pd1}, t_{pd2} + t_{setup} - t_{pd}) + t_{pd} \geq t_{hold} + t_{pd} + t_{delay} - t_{ov}$

同步公式: $P(failure) = N \frac{T_c}{T_c} \frac{f_{clk} - f_{max}}{f_{clk}}$, $MTBF = \frac{1}{P(failure)} = \frac{T_c}{N T_c} \frac{f_{clk}}{f_{clk} - f_{max}}$

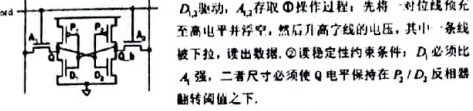
第十一章: 数据通路子系统 $N = MHz$

加减法: 半加器、全加器的逻辑、进位产生和传播逻辑 (PG)、CPA 的主要类型 (RCA、CLA、PPA)、CSA、多输入加法、减法 基本运算; 1/0 检测、数值比较器、计数器、线性反馈移位寄存器、布尔运算逻辑, 乘法: 无符号、有符号乘法的基本过程

半加器: $S = A \oplus B, C_{out} = A \cdot B$
 全加器: $S = A \oplus B \oplus C, C_{out} = AB + AC + BC = MAJ(A, B, C)$

第十二章: 阵列子系统
 存储器的类型、SRAM 六管单元的结构、DRAM 的工作原理、ROM 和 PLA 电路分析与设计

存储器类型: 随机存取存储器 (RAM, ROM), 串行存取存储器 (SAM), 内容寻址存储器 (CAM)



DRAM 工作原理: 1 管 DRAM 单元由一个晶体管和一个电容组成, 电容充满电荷为 1, 无电荷为 0, 行选择信号和列选择信号均为高时单元被选中, 读和写操作时, 行列信号均为高, 存取是电荷在电容中的转移; 存储内容作为电荷存储在电容上; 单元必须被周期性读出并刷新, 以免其存储内容不会因为电荷泄露而消失

第十三章: 专用子系统

封装作用: ① 提供芯片和电路板之间的信号和电路连接而且几乎没有延时和失真
 ② 提供芯片和电路板之间的机械连接
 ③ 散热
 ④ 保护芯片
 ⑤ 制造和测试方便降低

时钟值例: 一对物理标称时钟和实际的时间间隔之间的差别
 偏斜来源: ① 系统偏斜
 ② 随机偏斜
 ③ 漂移
 ④ 抖动

时钟系统的结构: ① 时钟生成单元: 调整全局时钟频率或相位, 包括锁相环 (PLL) 和延迟锁定环 (DLL)
 ② 时钟分布网络: 将时钟分布到整个芯片上, 并使时钟偏斜最小
 ③ 局部时钟门控: 沿短导线将物理时钟驱动至一组时钟元件中

第十四章: 设计方法和工具

一般设计化流程: 1. 前期: ① 产品需求
 ② 行为/功能规格说明
 ③ 行为综合
 2. 后期: ④ 结构规格说明
 ⑤ 物理综合
 ⑥ 物理规格说明
 ⑦ 至 CMOS 制造厂

标准单元布局布线设计流程: 网表- (库描述) 布局-DEF- (工艺的束) 时钟树综合、布线-DEF- (工艺参数) 寄生参数提取-ESPF- (库 SDF) 时序分析-噪声和可靠性分析-批交制造商数据库
 时序驱动布局设计流程: (库 LEF) 布局- (工艺的束 DEF) 布线引擎- (工艺属性、连线电容和电阻) 寄生参数提取- (库 SDF) 时序分析-最终检查

综合信号后定制设计流程: 原理图或网表-电路规则检查-电路仿真-版图构建-电路提取-版图原理图对比-寄生参数提取-原理图反标-重新仿真-设计规则检查-可靠性检查-芯片或模块完成

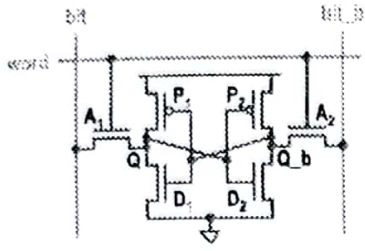
第十五章: 测试、调试和验证

功能等价性: ① 行为规格说明
 ② RTL 规格说明
 ③ 结构规格说明
 ④ 物理规格说明
 ⑤ 形式验证, 测试向量等价性
 ⑥ 时序分析, 噪声分析
 ⑦ 版图原理图对比, 功耗分析, 设计规则检查, 电路规则检查, 寄生参数提取

测试向量: 应用到输入端的一组模式及期望输出的结果; 应该足够大以捕获所有逻辑错误和缺陷; 足够小保持合理的测试时间和测试成本; 定向向量覆盖最可能出错的极端情形; 随机向量检测比较难以发现的错误
 测试平台: 一段硬件描述语言代码; 作为一个外块放在待测试模块外围; 加载输入测试向量到待测模块上; 检查输出和期望结果是否一致
 扫描测试: 扫描测试时序, 并行扫描, 扫描触发器

存储器的类型、SRAM 六管单元的结构、DRAM 的工作原理、ROM 和 PLA 电路分析与设计

存储器类型：随机存取存储器 (RAM, ROM)，串行存取存储器 (SAM)，内容寻址存储器 (CAM)



$D_{1,2}$ 驱动, $A_{1,2}$ 存取 ①操作过程：先将一对位线预充至高电平并浮空，然后升高字线的电压，其中一条线被下拉，读出数据。②读稳定性约束条件： D_1 必须比 A_1 强，二者尺寸必须使 Q 电平保持在 P_2 / D_2 反相器翻转阈值之下。

DRAM 工作原理：1 管 DRAM 单元由一个晶体管和一个电容组成，电容充满电荷为 1，无电荷为 0，行选择信号和列选择信号均为高时单元被选中，读和写操作时，行列信号均为高，存取是电荷在电容中的转移；存储内容作为电荷存储在电容上；单元必须被周期性读出并刷新，以使其存储内容不会因为电荷泄露而消失；

第十三章：专用子系统

封装作用：①提供芯片和电路板之间的信号和电源连接而且几乎没有延时和失真 ②提供芯片和电路板之间的机械连接 ③散热 ④保护芯片 ⑤制造和测试费用降低。

时钟偏斜：一对物理标称时钟和实际的时间间隔之间的差别。 **偏斜来源：**①系统偏斜 ②随机偏斜 ③漂移 ④抖动

时钟系统的结构：①时钟生成单元：调整全局时钟频率或相位，包括锁相环 (PLL) 和延时锁定环 (DLL) ②时钟分布网络：将时钟分布到整个芯片上，并使时钟偏斜最小 ③局部时钟门控：沿短导线将物理时钟驱动至一组钟控元件中。

第十四章：设计方法学和工具

一般设计化流程：1. 前端：①产品需求 ②行为/功能规格说明 ③行为综合 2. 后端：④结构规格说明 ⑤物理综合 ⑥物理规格说明 ⑦至 CMOS 制造厂。

标准单元布局布线设计流程：网表-(库描述)布局-DEF-(工艺约束)时钟树综合、布线-DEF-(工艺参数)寄生参数提取-ESPF-(库 SDF)时序分析-噪声和可靠性分析-提交制造商数据库。 **时序驱动布局设计流程：**(库 LEF)布局-(工艺约束 DEF)布线引擎-(工艺属性、连线电容和电阻)寄生参数提取-(库 SDF)时序分析-最终检查。 **混合信号后定制设计流程：**原理图或网表-电器规则检查-电路仿真-版图构建-电路提取-版图原理图对比-寄生参数提取-原理图反标-重新仿真-设计规则检查-可靠性检查-芯片或模块完成。

第十五章：测试、调试和验证

功能等价性：①行为规格说明 ②RTL 规格说明 ③结构规格说明 ④物理规格说明 ①形式验证，测试向量等价性 ②时序分析，噪声分析 ③版图原理图对比，功耗分析，设计规则检查，电器规则检查，寄生参数提取。

测试向量：应用到输入端的一组模式及期望输出的结果；应该足够大以捕获所有逻辑错误和缺陷；足够小保持合理的测试时间和测试成本；定向向量覆盖最可能出错的极端情形；随机向量检测比较难以觉察的错误；

测试平台：一段硬件描述语言代码，作为一个外科放在待测试模块外围；加载输入测试向量到待测模块上；检查输出和期望结果是否一致。

扫描测试：扫描测试时序，并行扫描，扫描触发器



第三章：版图制造工艺

1. 版图设计规则：**①设计规则**：集成电路所需用掩膜的设计制备说明和规定，以特征尺寸、间距、覆盖、延伸定义；目的是为了在尽可能小面积上构建能可靠工作的电路。**②可缩放的 λ 设计规则**：只需要缩放的 λ 值就能复合尺寸缩小的下一代工艺设计规则。**③微米设计规则**



2. 器件设计规则：①**阱规则**：N阱与相邻N型有源区，内部P型有源区保持一定间距。②**晶体管规则**

3. 互联相关规则：①**接触规则**：金属与轻掺杂之间在接触下方放置重掺杂有源区。②**金属规则**：金属厚度越大，宽度和间距规则越大；宽度越大，间距规则可能增加；金属有限制最大宽度规则；③**通孔规则**：金属厚度越大，通孔尺寸越大。

4. 其他规则：**钝化层规则**，**附加规则**，**划片槽和密封环** 5. 可制造性设计规则

6. **天线效应**：等离子体刻蚀工艺可能使金属附着多晶硅积累足够电荷导致栅级氧化层击穿；**天线规则**：没有放电通道时，金属或者多晶硅面积与栅级面积之间的最大比例；**违例解决方法**：上层金属跳线；增加天线二极管放电。

7. **层密度规则**：①**负载效应**：刻蚀速度对需要移除的材料敏感，图形密度不均匀导致刻蚀过慢或不足；②**层密度规则**：全芯片和指定面积范围，有源区，多晶硅，金属最大和最小密度范围；

8. **金属窄槽规则**：①**超宽金属线**：内部缺少应力释放空间；引起局部金属密度过高。②**金属窄槽规则**：要求超宽金属线上留有窄槽；方向按电流方向；释放应力。
违例解决方法：在超宽金属线上按照设计开槽；将其分成并联的多段导线。

9. 分辨率增强规则 10. 良品率改善准则

版图验证：①**设计规则检查**②**电学规则检查**③**可制造性检查**④**版图原理图对比**⑤

版图寄生参数抽取



第七章：鲁棒性

鲁棒性：稳定性，抵御和克服不利条件的能力。工艺偏差，温度范围，电压范围，电流密度，宇宙射线影响。

偏差：PVT：工艺偏差 (process)，电源偏差 (Voltage)，工作温度 (Temperature)。

环境偏差：电源电压偏差 (设计范围 10%) 和温度偏差 (环境温度和功耗导致升温，设计低温 $-40\sim 0$ ，高温 $85\sim 125$)

工艺偏差：器件和互连线在薄膜厚度横向尺寸和掺杂浓度偏差，① 器件由沟道长度，阈值电压等，互连线偏差有线宽和间距等；② 类型：批次之间，晶圆之间，管芯之间，管芯内部

偏差建模：均匀分布和正态分布

设计角：工艺和环境偏差极端下的仿真模型，T (典型)，F (快速)，S (慢速)

不同检查项目使用相同的设计角模型，应在各个设计角范围确保电路性能。

设计角因素：① NMOS 管速度 ② PMOS 管速度 ③ 互连线：电容和电阻 ④ 电源电压：T (标准电压) F (高电压，上浮 10%) S (低电压，下浮 10%) ⑤ 温度：T (室温 25)，

F (低温 -40)，S (高温 85)

可靠性：① 硬错：引起集成电路永久性损耗 (栅氧损耗，互连线损耗，过电压损失，闩锁) ② 软错：暂态失效，引起系统崩溃和数据丢失

闩锁效应：衬底、阱、扩散区形成的寄生双极性晶体管导通并形成正反馈环，导致 V_{DD} 和 GND 之间形成通路而使芯片严重烧毁。

保护环：① 作用：防止闩锁效应，隔离噪声 ② 类型：多子保护环和少子保护环

③ 结构：单层保护环和双层保护环。

按比例缩小：类型：1. 晶体管按比例缩小：① 登纳德按比例缩小定律：器件关键参数按因子 S 缩小时性能将得到改善 ② 横电场缩小：电压和距离等比例减小时，电场仍保持不变。③ 恒电压缩小：缩小器件尺寸但不降低电压，电场将增强 ④ 横向缩小：只缩小栅长。2. 互连线按比例缩小：按同比例缩小长度厚度和间距，单位长度电容不变；① 局部互连线 ② 半局部互连线 ③ 全局互连线。

第六节：组合电路设计

